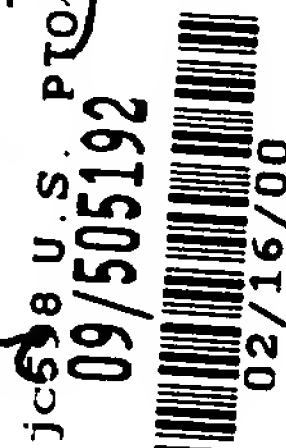


日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

February 16, 2000

Q 57919

10f1



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

1999年 2月16日

願番号
Application Number:

平成11年特許願第037828号

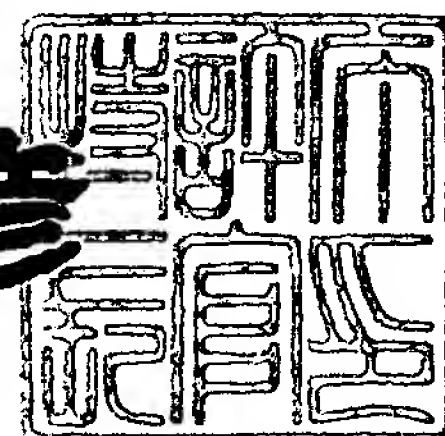
願人
Applicant(s):

日本電気株式会社

1999年10月29日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3074222

【書類名】 特許願

【整理番号】 72310114

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G02F 1/133
G09G 3/36

【発明の名称】 表示装置の駆動回路

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 橋本 義春

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

 【代表者】 金子 尚志

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715181

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の駆動回路

【特許請求の範囲】

【請求項 1】 入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から 1 又は 2 以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力する階調電圧選択回路と、この階調電圧選択回路から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、を有することを特徴とする表示装置の駆動回路。

【請求項 2】 前記電圧調整手段は、前記演算増幅器の出力端に接続された抵抗と、この抵抗に接続された能動素子と、前記下位ビットに関連付けて前記能動素子の動作を制御する制御回路と、を有することを特徴とする請求項 1 に記載の表示装置の駆動回路。

【請求項 3】 前記能動素子は、前記抵抗にドレインが接続されソースに電源電圧が供給され前記制御回路によりゲート電圧が制御される第 1 のトランジスタと、前記抵抗にドレインが接続され接地にソースが接続され前記制御回路によりゲート電圧が制御される第 2 のトランジスタと、を有することを特徴とする請求項 1 又は 2 に記載の表示装置の駆動回路。

【請求項 4】 前記抵抗は、アナログスイッチであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の表示装置の駆動回路。

【請求項 5】 隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力し、前記電圧調整手段は、前記演算増幅器から出力された電圧をそのまま出力することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の表示装置の駆動回路。

【請求項 6】 入力されたデジタル映像データに関連付けて複数の階調を表

示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から 1 又は 2 以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 2 以上の電圧を選択して出力する階調電圧選択回路と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記階調電圧選択回路から出力された 2 以上の電圧を分圧して 1 の電圧を出力する分圧手段と、この分圧手段から出力された電圧のインピーダンス変換を行う演算増幅器と、を有することを特徴とする表示装置の駆動回路。

【請求項 7】 隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力することを特徴とする請求項 6 に記載の表示装置の駆動回路。

【請求項 8】 前記階調電圧発生回路は、外部から電圧が入力される複数の入力端子と、これらの入力端子に入力された電圧をその数よりも多数の電圧に分圧する分圧手段と、を有することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の表示装置の駆動回路。

【請求項 9】 前記階調電圧発生回路から出力される電圧は、正極性の電圧及び負極性の電圧であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の表示装置の駆動回路。

【請求項 10】 前記デジタル映像データのビット数を N としたとき、前記上位ビットは、前記デジタル映像データの最上位から $(N - m)$ 個のビットからなり、前記下位ビットは、前記デジタル映像データの最下位から m 個のビットからなることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は TFT 液晶表示装置等に使用される表示装置の駆動回路に関し、特に、多階調表示が可能な表示装置の駆動回路に関する。

【 0 0 0 2 】

【従来の技術】

近時、液晶表示装置の開発が盛んに行われ、これに使用される駆動回路の開発も行われている。例えば、S. Saito及びK. Kitamura (NEC Corp., Kanagawa, Japan) により「Society for Information Display (SID) International symposium digest of technical papers, volume XXVI (1995年発行)」の257乃至260ページ目及びFig. 1に240出力6ビットデジタル映像データの駆動回路が記載されている。図11は上記の文献に記載された従来の表示装置の駆動回路を示すブロック図である。

【 0 0 0 3 】

従来の駆動回路には、スタートパルス信号SP、スタートパルス信号の入出力方向を切替える切替信号R/L及びクロック信号CLKが入力される80ビットシフトレジスタ回路51が設けられている。なお、スタートパルス信号SPは、切替信号R/Lに基づいて端子SPR及びSPLのいずれか1方に入力され、他方から隣接する駆動回路に出力される。このシフトレジスタ回路51には、6ビット3出力分のデータD00乃至D05、D10乃至D15及びD20乃至D25が順次格納されるデータレジスタ回路52が接続されている。このデータレジスタ回路52には、ラッチ信号STBが入力されるデータラッチ回路53が接続されている。また、9値の階調電源電圧V0乃至V8を分圧して階調電圧を出力する階調電圧発生回路56が設けられており、データラッチ回路53から転送された映像データに関連付けて階調電圧発生回路56から出力された64階調値の階調電圧の中から1の階調電圧を選択して出力する階調電圧選択回路54が設けられている。階調電圧選択回路には、64個のROMデコーダが備えられている。更に、オペレーショナルアンプを内蔵し、階調電圧選択回路54から出力された信号のインピーダンス変換を行う増幅器55が設けられている。

【 0 0 0 4 】

階調電圧発生回路56においては、外部から入力される9値の階調電源電圧が抵抗により分圧されて64値の階調電圧が生成されているが、このような分圧方法は、一般に「抵抗ストリング法」とよばれている。

【 0 0 0 5 】

また、階調電圧選択回路 5 4 は、例えばエンハンスメント型トランジスタ及びディプレッション型トランジスタから構成されている。

【 0 0 0 6 】

このように構成された従来の駆動回路においては、スタートパルス信号 S P がシフトレジスタ回路 5 1 に入力されると、6 ビット 3 出力分のデジタル映像データ D 0 0 乃至 D 0 5、D 1 0 乃至 D 1 5 及び D 2 0 乃至 D 2 5 が順次データレジスタ回路 5 2 に格納される。

【 0 0 0 7 】

次に、ラッチ信号 S T B がデータラッチ回路 5 3 に入力されると、データレジスタ回路 5 2 の内部に格納されていたデジタル映像データが一斉にデータラッチ回路 5 3 に転送され保持される。

【 0 0 0 8 】

また、階調電圧発生回路 5 6 からは、階調電圧選択回路 5 4 に 6 4 値の階調電圧が供給されており、データラッチ回路 5 3 にデジタル映像データが転送されると、このデジタル映像データに関連付けて 6 4 値のうちから 1 の階調電圧が階調電圧選択回路 5 4 により選択されて出力される。

【 0 0 0 9 】

そして、階調電圧選択回路 5 4 から出力された電圧は、増幅器 5 5 に内蔵されているオペレーショナルアンプによってインピーダンス変換され、液晶表示装置内の液晶に印加される。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、上述の従来の駆動回路によれば、6 ビット（6 4 階調）用の階調は問題を生じさせることなく実現可能であるが、それ以上の階調を実現する際には、以下のような種々の問題点がある。

【 0 0 1 1 】

先ず、抵抗ストリング法では、階調数の増加に伴い、階調電圧選択回路 5 4 のチップサイズが著しく増加する。例えば、6 4 階調用の駆動回路（ドライバ）で

は、1 出力当たり 6 4 個の R O M デコーダが階調電圧選択回路に必要とされるが、2 5 6 階調用のドライバでは、2 5 6 個もの 6 4 個の 4 倍の R O M デコーダが必要とされるため、半導体集積回路で実現させるためには、素子面積が 6 4 階調用の 4 倍に増大し、著しくチップサイズが増大する。

【 0 0 1 2 】

また、6 4 階調用の駆動回路では、階調電圧選択回路 5 4 に R O M デコーダは 6 4 個あり、全デコーダの動作を確認する必要がある。また、2 5 6 階調用の駆動回路においても同様に 2 5 6 個のデコーダの動作を確認する必要がある。このため、テスト時間も 4 倍になり、半導体集積回路の検査工程におけるテスト時間が増大し、テストコストが増大する。

【 0 0 1 3 】

本発明はかかる問題点に鑑みてなされたものであって、T F T 液晶等の表示装置を多階調表示するためにデジタル映像データのビット数が増加しても素子数の低減によりチップサイズを縮小することができ、テストコストを低減することができる表示装置の駆動回路を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

本発明に係る表示装置の駆動回路は、入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から 1 又は 2 以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力する階調電圧選択回路と、この階調電圧選択回路から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、を有することを特徴とする。

【 0 0 1 5 】

本発明においては、階調電圧選択回路に供給される上位ビットはその最上位から 1 又は 2 以上のビットからなり、上位ビットのビット数はデジタル映像データ

のビット数より少ないので、デジタル映像データの全ビットが供給される場合と比してその素子数が低減される。また、電圧調節手段には下位ビットが供給されるため、そのための素子が必要となるが、その数は階調電圧選択回路において低減されるものと比して極めて小さいものである。従って、全体としてチップ面積が縮小されると共に、機能テストの回数が低減される。

【 0 0 1 6 】

本発明においては、前記電圧調整手段は、前記演算増幅器の出力端に接続された抵抗と、この抵抗に接続された能動素子と、前記下位ビットに関連付けて前記能動素子の動作を制御する制御回路と、を有することができる。

【 0 0 1 7 】

また、前記能動素子は、前記抵抗にドレインが接続されソースに電源電圧が供給され前記制御回路によりゲート電圧が制御される第 1 のトランジスタと、前記抵抗にドレインが接続され接地にソースが接続され前記制御回路によりゲート電圧が制御される第 2 のトランジスタと、を有することができる。

【 0 0 1 8 】

更に、前記抵抗は、アナログスイッチであってもよい。

【 0 0 1 9 】

更にまた、隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力し、前記電圧調整手段は、前記演算増幅器から出力された電圧をそのまま出力することができる。

【 0 0 2 0 】

本発明に係る他の表示装置の駆動回路は、入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から 1 又は 2 以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 2 以上の電圧を選択して出力する階調電圧選択回路と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記階調電圧選択回路から出力された 2 以

上の電圧を分圧して 1 の電圧を出力する分圧手段と、この分圧手段から出力された電圧のインピーダンス変換を行う演算増幅器と、を有することを特徴とする。

【 0 0 2 1 】

なお、隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から 1 の電圧を選択して出力することができる。

【 0 0 2 2 】

また、前記階調電圧発生回路は、外部から電圧が入力される複数の入力端子と、これらの入力端子に入力された電圧をその数よりも多数の電圧に分圧する分圧手段と、を有してもよい。

【 0 0 2 3 】

更に、前記階調電圧発生回路から出力される電圧は、正極性の電圧及び負極性の電圧であってもよい。

【 0 0 2 4 】

更にまた、前記デジタル映像データのビット数を N としたとき、前記上位ビットは、前記デジタル映像データの最上位から $(N - m)$ 個のビットからなり、前記下位ビットは、前記デジタル映像データの最下位から m 個のビットからなってもよい。

【 0 0 2 5 】

【発明の実施の形態】

以下、本発明の実施例に係る表示装置の駆動回路について、添付の図面を参照して具体的に説明する。本発明の第 1 の実施例には、8 ビットのデジタル映像データが入力される。図 1 は本発明の第 1 の実施例に係る駆動回路を示すブロック図である。

【 0 0 2 6 】

第 1 の実施例には、スタートパルス信号 SP 及びクロック信号 CLK が入力されクロック信号 CLK に同期してシフトするシフトレジスタ回路 1 が設けられている。また、デジタル映像データ $D00$ 乃至 $D07$ 、 $D10$ 乃至 $D17$ 及び $D20$ 乃至 $D27$ を一時的に格納するデータバッファ回路 4 及びこれらのデータが格

納されるデータレジスタ回路 2 が設けられている。データレジスタ回路 2 には、1 6 個のレジスタ 2 a が設けられている。更に、デジタル映像データをラッチするデータラッチ回路 3 及びこのデータラッチ回路 3 の動作を制御するラッチ制御回路 5 が設けられている。このラッチ制御回路 5 には、ラッチ信号 S T B 及び極性信号 P O L が入力される。

【 0 0 2 7 】

なお、図 1 において、データバッファ回路 4 から延びデータレジスタ回路 2 に接続されていない信号線は、隣接するデータレジスタ回路（図示せず）に接続されている。

【 0 0 2 8 】

また、1 0 階調値の階調電源電圧 V 0 乃至 V 9 を分圧して正極性及び負極性の 2 種の 1 2 8 値の階調電圧を出力する階調電圧発生回路 6 が設けられている。そして、データラッチ回路 3 から転送されたデジタル映像データの上位 7 ビットに関連付けて階調電圧発生回路 6 から出力された 1 2 8 階調の階調電圧の中から 1 の階調電圧を選択して出力する第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 が設けられている。なお、第 1 階調電圧選択回路 7 には、正極性の階調電圧が入力され、第 2 階調電圧選択回路 8 には、負極性の階調電圧が入力される。更に、オペレーショナルアンプを内蔵し第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 から出力された信号のインピーダンス変換を行う第 1 出力回路 9 及び第 2 出力回路 1 0 が設けられている。なお、第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 と第 1 出力回路 9 及び第 2 出力回路 1 0 との間には、それらの接続を選択するためのアナログスイッチが設けられている。第 1 出力回路 9 及び第 2 出力回路 1 0 には、ラッチ制御回路 5 からラッチ制御信号 S T B 及び極性信号 P O L が入力されると共に、データラッチ回路 3 からデジタル映像データの最下位ビットが入力される。

【 0 0 2 9 】

図 2 は階調電圧発生回路 6 を示す回路図である。階調電圧発生回路 6 においては、1 2 7 個の抵抗 $+R_1$ 、 $+R_2$ 、 $+R_3$ 、 \dots 、 $+R_{125}$ 、 $+R_{126}$ 、 $+R_{127}$ が相互に直列に接続され、1 2 7 個の抵抗 $-R_1$ 、 $-R_2$ 、 $-R_3$

、・・・、 $-R_{125}$ 、 $-R_{126}$ 、 $-R_{127}$ が相互に直列に接続されている。正極性の階調電圧に関しては、階調電源電圧 V_{X0} が抵抗 $+R_1$ 側の末端に入力され、この末端から階調電圧 $+V_0$ が出力される。また、階調電源電圧 V_{X4} が抵抗 $+R_{127}$ 側の末端に入力され、この末端から階調電圧 $+V_{254}$ が出力される。また、各抵抗間の接続点から階調電圧 $+V_2$ 乃至 $+V_{252}$ が抵抗 $+R_1$ 側から順に夫々出力される。なお、階調電源電圧 V_{X1} 乃至 V_{X3} は、抵抗 $+R_1$ と抵抗 $+R_{127}$ との間の任意の抵抗間の接続点に入力される。

【 0 0 3 0 】

負極性の階調電圧に関しては、階調電源電圧 V_{X5} が抵抗 $-R_{127}$ 側の末端に入力され、この末端から階調電圧 $-V_{254}$ が出力される。また、階調電源電圧 V_{X9} が抵抗 $-R_1$ 側の末端に入力され、この末端から階調電圧 $-V_0$ が出力される。また、各抵抗間の接続点から階調電圧 $-V_2$ 乃至 $-V_{252}$ が抵抗 $-R_1$ 側から順に夫々出力される。なお、階調電源電圧 V_{X6} 乃至 V_{X8} は、抵抗 $-R_1$ と抵抗 $-R_{127}$ との間の任意の抵抗間の接続点に入力される。

【 0 0 3 1 】

このように構成された階調電圧発生回路 6 においては、階調電源電圧 V_{X0} 乃至 V_{X4} が抵抗 $+R_1$ 乃至 $+R_{127}$ により分圧され、128 個の正極性の階調電圧 $+V_0$ 乃至 $+V_{254}$ が出力される。同様に、階調電源電圧 V_{X5} 乃至 V_{X9} が抵抗 $-R_1$ 乃至 $-R_{127}$ により分圧され、128 個の負極性の階調電圧 $-V_0$ 乃至 $-V_{254}$ が出力される。従って、 128×2 値の階調電圧が発生されることになる。そして、128 値の正極性の階調電圧が第 1 階調電圧選択回路 7 に供給され、128 値の負極性の階調電圧が第 2 階調電圧選択回路 8 に供給される。

【 0 0 3 2 】

図 3 (a) は第 1 階調電圧選択回路 7 を示す回路図であり、図 3 (b) は第 2 階調電圧選択回路 8 を示す回路図である。第 1 階調電圧選択回路 7 においては、その出力端に 128 個のスイッチ $+SW_0$ 乃至 $+SW_{127}$ が相互に並列に接続されている。各スイッチ $+SW_0$ 乃至 $+SW_{127}$ に夫々階調電圧 $+V_0$ 乃至 $+V_{254}$ が入力される。そして、これらのスイッチ $+SW_0$ 乃至 $+SW_{127}$ の

うち 1 のスイッチがデジタル映像データの上位 7 ビットに基づいてオンされ、1 の階調電圧が選択されて出力される。つまり、1 2 8 階調値のなかから 1 階調値の電圧値が選択されて出力される。また、第 2 階調電圧選択回路 8 においては、その出力端に 1 2 8 個のスイッチ - SW 0 乃至 - SW 1 2 7 が相互に並列に接続されている。各スイッチ - SW 0 乃至 - SW 1 2 7 に夫々階調電圧 - V 0 乃至 - V 2 5 4 が入力される。そして、これらのスイッチ - SW 0 乃至 - SW 1 2 7 のうち 1 のスイッチがデジタル映像データの上位 7 ビットに基づいてオンされ、1 の階調電圧が選択されて出力される。つまり、1 2 8 階調値のなかから 1 階調値の電圧値が選択されて出力される。

【 0 0 3 3 】

図 4 は階調電圧選択回路におけるスイッチの構成を示す回路図である。階調電圧選択回路には、例えば 1 2 8 行 1 4 列からなるアレイ状にトランジスタが配列される。なお、図 4 において、トランジスタのチャネル部分に楕円が描かれているものはデプレッション型のトランジスタであり、楕円が描かれていないものはエンハンスメント型のトランジスタである。例えば、図中の左から 1 4 列目においては、デプレッション型トランジスタとエンハンスメント型トランジスタとが 1 個ずつ交互に配置され、1 3 列目においては、1 4 列目のものとデプレッション型トランジスタ及びエンハンスメント型トランジスタが入れ替わったものとなっている。また、図中の左から 1 2 列目においては、デプレッション型トランジスタとエンハンスメント型トランジスタとが 2 個ずつ交互に配置され、1 1 列目においては、1 2 列目のものとデプレッション型トランジスタ及びエンハンスメント型トランジスタが入れ替わったものとなっている。そして、デプレッション型トランジスタ及びエンハンスメント型トランジスタは、左から 1 0 列目では 4 個ずつ交互に配置され、8 列目では 8 個ずつ交互に配置され、6 列目では 1 6 個ずつ交互に配置され、4 列目では 3 2 個ずつ交互に配置され、2 列目では 6 4 個ずつ配置されている。また、左から奇数列目においては、その右側に位置する偶数列目のものとデプレッション型トランジスタ及びエンハンスメント型トランジスタが入れ替わったものとなっている。

【 0 0 3 4 】

また、偶数列目に位置するトランジスタのゲートには、夫々インバータ I V 1 乃至 I V 7 が接続されており、これらのインバータ I V 1 乃至 I V 7 を介して奇数列目に位置するトランジスタのゲートとデータラッチ回路 3 に接続されている。そして、7 組の奇数列及び偶数列対に夫々 1 ビットのデジタル映像データが入力される。

【 0 0 3 5 】

階調電圧選択回路におけるスイッチをこのような R O M 型デコーダで構成するとチップサイズを極めて小さいものとすることが可能である。

【 0 0 3 6 】

なお、液晶共通電圧に対して高位側の電圧を出力する場合には、P チャネルエンハンスメント型トランジスタ及び P チャネルディプレッション型トランジスタにより R O M 型デコーダが構成され、液晶共通電圧に対して低位側の電圧を出力する場合には、N チャネルエンハンスメント型トランジスタ及び N チャネルディプレッション型トランジスタにより R O M 型デコーダが構成される。本実施例においては、前者が第 1 階調電圧選択回路 7 に該当し、後者が第 2 階調電圧選択回路 8 に該当する。

【 0 0 3 7 】

図 5 は出力回路 9 及び 1 0 を示すブロック図である。出力回路 9 及び 1 0 には、階調電圧選択回路からの出力信号を増幅しインピーダンス変換するオペレーショナルアンプ（演算増幅器）1 1 が設けられている。このオペレーショナルアンプ 1 1 と表示装置に接続される出力端子との間には、アナログスイッチ等の抵抗 1 2 が接続されている。また、この抵抗 1 2 と出力端子との間にドレインが接続されたトランジスタ M 1 及び M 2 が設けられている。トランジスタ M 1 のソースには電源電圧 V D D が供給されており、トランジスタ M 2 のソースは接地 G N D に接続されている。更に、トランジスタ M 1 及び M 2 のゲートに接続された L S B 制御回路 1 3 が設けられている。L S B 制御回路 1 3 には、デジタル映像データの最下位ビット（1 ビット）、極性信号 P O L 及びラッチ信号 S T B が入力される。トランジスタ M 1 及び M 2 並びに L S B 制御回路 1 3 から出力オフセット制御回路 1 4 が構成されている。

【 0 0 3 8 】

このように構成された出力回路は、デジタル映像データの最下位ビットにより制御される。そして、デジタル映像データの上位 7 ビットによって選択された電圧が、そのままの電圧で出力されるか、又はオフセット電圧を加えられて出力される。

【 0 0 3 9 】

即ち、デジタル映像データの最下位ビットに関連付けてトランジスタ M 1 及び M 2 のオン／オフが L S B 制御回路 1 3 により切替えられる。そして、トランジスタ M 1 及び M 2 が両方ともオフ状態のときには、オペレーショナルアンプ 1 1 からの出力電圧がそのまま出力端子から表示装置に印加されるが、トランジスタ M 1 又は M 2 がオン状態のときには、そのオン状態となっているトランジスタ M 1 又は M 2 を流れる定常電流 I_m が発生する。このときのアナログスイッチ等の抵抗 1 2 の抵抗値を R_m とすると、電圧降下により $\Delta V = I_m \times R_m$ のオフセット電圧が発生し、この電圧がオペレーショナルアンプ 1 1 からの出力電圧に加えて出力端子から表示装置に印加される。なお、この ΔV が液晶の中間調領域（図 7 の I I 領域）の 1 階調分となるように、定常電流 I_m 及びアナログ抵抗 R_m は設定されている。

【 0 0 4 0 】

次に、このように構成された第 1 の実施例に係る駆動回路の動作について説明する。

【 0 0 4 1 】

スタートパルス信号 S P がシフトレジスタ回路 1 に入力されると、データバッファ回路 4 に格納されていたデジタル映像データ 8 ビット 3 出力のデジタル映像データ D 0 0 乃至 D 0 7、D 1 0 乃至 D 1 7 及び D 2 0 乃至 D 2 7 が順次データレジスタ回路 2 に格納される。

【 0 0 4 2 】

次に、ラッチ信号 S T B がラッチ制御回路 5 からデータラッチ回路 3 に入力されると、データレジスタ回路 2 の内部に格納されていたデジタル映像データが一斉にデータラッチ回路 3 に転送され保持される。

【 0 0 4 3 】

また、階調電圧発生回路 6 からは、1 0 階調値の階調電源電圧 VX_0 乃至 VX_9 が分圧されて 1 2 8 階調値の階調電圧が第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 に供給されている。そして、データラッチ回路 3 にデジタル映像データが転送されると、このデジタル映像データの上位 7 ビットに関連付けて第 1 階調電圧選択回路 7 により正極性の 1 2 8 階調値の中から 1 階調値が選択されて出力される。同様に、第 2 階調電圧選択回路 8 により負極性の 1 2 8 階調値の中から 1 階調値が選択されて出力される。

【 0 0 4 4 】

そして、TFT 液晶をドット反転駆動させる場合には、極性信号 POL が 0 (ロウ) のとき、第 1 出力回路 9 に第 2 階調電圧選択回路 8 からの負極性の電圧が入力され、第 2 出力回路 1 0 に第 1 階調電圧選択回路 7 からの正極性の電圧が入力される。一方、極性信号 POL が 1 (ハイ) のときには、第 1 出力回路 9 に第 1 階調電圧選択回路 7 からの正極性の電圧が入力され、第 2 出力回路 1 0 に第 2 階調電圧選択回路 8 からの負極性の電圧が入力される。

【 0 0 4 5 】

図 6 は第 1 の実施例における第 1 出力回路 9 の動作を示すフローチャートである。第 1 出力回路 9 においては、最下位ビット LSB が 0 (ロウ) のときは、極性信号 POL に依存することなくトランジスタ M1 及び M2 は両方ともオフ状態となる。このとき、アナログスイッチ等の抵抗 1 2 における電圧降下は、定常的な電流が流れないため発生しないので、オペレーショナルアンプ 1 1 からの出力電圧がそのまま出力端子から表示装置に印加される。

【 0 0 4 6 】

一方、最下位データ LSB が 1 (ハイ) のときには、極性信号 POL によってトランジスタ M1 及び M2 のいずれか 1 方がオン状態となる。具体的には、極性信号 POL が 0 (ロウ) となると、第 2 階調電圧選択回路 8 からの負極性側の電圧が第 1 出力回路 9 のオペレーショナルアンプ 1 1 に印加されると共に、トランジスタ M1 がオン状態となり、トランジスタ M2 はオフ状態のままである。従って、トランジスタ M1 には定常電流 I_{m1} が定常的に流れ、トランジスタ M1 の

ソースには電源電圧 V_{DD} が供給されているので、抵抗 1 2 において $\Delta V_n = I_{m1} \times R_m$ の電圧上昇が発生する。

【 0 0 4 7 】

その後、最下位データ LSB が 1 (ハイ) のまま、極性信号 POL が 1 (ハイ) となると、第 1 階調電圧選択回路 7 からの正極性側の電圧が第 1 出力回路 9 のオペレーショナルアンプ 1 1 に印加されると共に、トランジスタ $M1$ がオフ状態となり、トランジスタ $M2$ がオン状態となる。従って、トランジスタ $M2$ には定常電流 I_{m2} が定常的に流れ、トランジスタ $M2$ のソースは接地 GND に接続されているので、抵抗 1 2 において $\Delta V_p = I_{m2} \times R_m$ の電圧降下が発生する。

【 0 0 4 8 】

以上は第 1 出力回路 9 の動作であるが、第 2 出力回路 1 0 は第 1 出力回路 9 の動作に対し逆の動作を行う。例えば、最下位データ LSB が 1 (ハイ) のときに極性信号 POL が 0 (ロウ) となると、第 1 階調電圧選択回路 7 からの正極性側の電圧が第 2 出力回路 1 0 のオペレーショナルアンプ 1 1 に印加されると共に、トランジスタ $M2$ がオン状態となり、トランジスタ $M1$ はオフ状態のままである。従って、トランジスタ $M2$ には定常電流 I_{m2} が定常的に流れ、トランジスタ $M2$ のソースは接地 GND に接続されているので、抵抗 1 2 において $\Delta V_p = I_{m2} \times R_m$ の電圧降下が発生する。

【 0 0 4 9 】

このようにして、第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 から出力された電圧は、出力回路 9 及び 1 0 に内蔵されているオペレーショナルアンプ 1 1 によってインピーダンス変換され、液晶表示装置内の液晶に印加される。

【 0 0 5 0 】

従って、第 1 出力回路 9 からは、極性信号 POL が 0 (ロウ) のときに負極性の電圧が出力され、極性信号 POL が 1 (ハイ) のときに正極性の電圧が出力される。一方、第 2 の出力回路 1 0 からは、極性信号 POL が 0 (ロウ) のときに正極性の電圧が出力され、極性信号 POL が 1 (ハイ) のときに負極性の電圧が出力される。下記表 1 にデジタル映像データと出力電圧との関係を示す。

【 0 0 5 1 】

【表 1】

階調数	映像データ	正極性	負極性
0	0 0	+V 0	-V 0
1	0 1	+V 0 - ΔV_P	-V 0 + ΔV_N
2	0 2	+V 2	-V 2
3	0 3	+V 2 - ΔV_P	-V 2 + ΔV_N
:	:	:	:
:	:	:	:
1 2 6	7 E	+V 1 2 6	-V 1 2 6
1 2 7	7 F	+V 1 2 6 - ΔV_P	-V 1 2 6 + ΔV_N
1 2 8	8 0	+V 1 2 8	-V 1 2 8
1 2 9	8 1	+V 1 2 8 - ΔV_P	-V 1 2 8 + ΔV_N
:	:	:	:
:	:	:	:
2 5 2	F C	+V 2 5 2	-V 2 5 2
2 5 3	F D	+V 2 5 2 - ΔV_P	-V 2 5 2 + ΔV_N
2 5 4	F E	+V 2 5 4	-V 2 5 4
2 5 5	F F	+V 2 5 4 - ΔV_P	-V 2 5 4 + ΔV_N

【0 0 5 2】

図 7 は横軸に出力電圧をとり、縦軸に透過率をとって両者の関係を示すグラフ図である。また、図 8 (a) は横軸に階調数をとり、縦軸に出力電圧をとって液晶表示装置に白色又は黒色が表示されるとき、の階調数と出力電圧との関係を示すグラフ図であり、図 8 (b) は横軸に階調数をとり、縦軸に出力電圧をとって液晶表示装置に中間色（灰色）が表示されるとき、の階調数と出力電圧との関係を示すグラフ図である。

【0 0 5 3】

図 7 に示すように、透過率は出力電圧の上昇に伴って減少する。また、表 1 並びに図 8 (a) 及び (b) に示すように、階調数が相違していれば、出力電圧も

相違する。従って、本実施例のように、デジタル映像データを上位 7 ビットと下位 1 ビットに分割し、上位 7 ビットを抵抗ストリング方式、下位 1 ビットをオフセット方式とすることにより、表示装置の多階調表示が可能になる。

【 0 0 5 4 】

このように、本実施例によれば、デジタル映像データの上位 7 ビットを抵抗ストリング方式、下位 1 ビットをオフセット方式としているので、上位 7 ビットにより制御される階調電圧選択回路 7 及び 8 内の素子数は、 $2 \times 7 \times 128 = 1792$ 個で済む。また、下位 1 ビットにより制御される LSB 制御回路 13 の素子数は少なくとも 30 個あれば十分である。一方、従来の 8 ビットの抵抗ストリング方式では、1 出力当たり階調電圧選択回路には、 $2 \times 8 \times 256 = 4096$ 個の素子が必要である。従って、階調電圧選択回路のみを比較した場合には、2304 個の素子が低減され、LSB 制御回路 13 の素子数を考慮しても、全体で 2274 個の素子が低減される。これにより、大幅な素子数の低減が実現され、チップサイズの縮小化が可能となる。

【 0 0 5 5 】

また、従来の 8 ビットの抵抗ストリング方式では、256 個の ROM デコーダの動作を確認する必要があるため、256 回の機能テストが必要とされる。これに対し、上位 7 ビットを抵抗ストリング方式、下位 1 ビットをオフセット方式とした本実施例においては、階調電圧選択回路について 128 個の ROM デコーダの動作を確認すればよいので、128 回の機能テストが必要とされる。また、下位 1 ビットのオフセット方式の確認は 3 回で済むため、少なくとも 131 回の機能テストを実施すればよい。このように、本実施例によれば、テスト回数の激減が可能であるため、テストコストを著しく低減することができる。

【 0 0 5 6 】

なお、抵抗 12 には、アナログスイッチだけでなく、他の拡散抵抗及び多結晶シリコン抵抗等を使用することもできる。

【 0 0 5 7 】

次に、本発明の第 2 の実施例について説明する。図 9 は本発明の第 2 の実施例に係る駆動回路を示すブロック図である。なお、図 9 に示す第 2 の実施例におい

て、図 1 に示す第 1 の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【0058】

第 2 の実施例には、正極性用の第 1 階調電圧選択回路 7 に接続されたオペレーショナルアンプ（演算増幅器）2 1 及び負極性用の第 2 階調電圧選択回路 8 に接続されたオペレーショナルアンプ（演算増幅器）2 2 が設けられている。更に、オペレーショナルアンプ 2 1 及び 2 2 の出力端には、アナログスイッチを介して出力オフセット制御回路 2 3 及び 2 4 が接続されている。この出力オフセット回路 2 3 及び 2 4 は、第 1 実施例における出力オフセット回路 1 4 と同様の構成を有する。そして、その先に TFT 液晶表示パネル等の表示装置に接続される出力端子が設けられている。

【0059】

このように構成された第 2 の実施例においては、第 1 階調電圧選択回路 7 及び第 2 階調電圧選択回路 8 と出力オフセット制御回路 2 3 及び 2 4 との接続を切替えるアナログスイッチが、第 1 の実施例において出力回路内に設けられた抵抗 1 2 と同様に機能する。即ち、このアナログスイッチによる電圧上昇及び電圧降下を利用して階調が調節される。このため、第 1 の実施例では、抵抗 1 2 の構造は抵抗成分となりうればどのようなものでもよいが、第 2 の実施例ではアナログスイッチがなければ、ドット反転駆動は行われなくなることになる。

【0060】

このように、第 1 の実施例では、出力電圧にオフセットを生じさせるために専用の拡散抵抗又はポリシリ抵抗等が必要であるが、第 2 の実施例には、オペレーショナルアンプ 2 1 及び 2 2 の出力端にアナログスイッチが接続されているので、そのような専用の抵抗は不要である。このため、第 2 の実施例においては、第 1 の実施例と比して回路の簡素化が可能となる。

【0061】

次に、本発明の第 3 の実施例について説明する。第 3 の実施例は、ライン反転用の駆動回路である。図 1 0 は本発明の第 3 の実施例に係る駆動回路を示すブロック図である。なお、図 1 0 に示す第 3 の実施例において、図 1 に示す第 1 の実

施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

【 0 0 6 2 】

第 3 の実施例には、デジタル映像データをラッチするデータラッチ回路 3 6 及びこのデータラッチ回路 3 6 の動作を制御するラッチ制御回路 3 7 が設けられている。本実施例はライン反転用であり、極性信号は不要であるため、このラッチ制御回路 3 7 には、ラッチ信号 S T B のみが入力される。

【 0 0 6 3 】

また、9 階調値の階調電源電圧 V 0 乃至 V 8 を分圧して正極性又は負極性のいずれかの 1 2 8 値の階調電圧を出力する階調電圧発生回路 3 5 が設けられている。その構成は、図 2 に示す第 1 の実施例における階調電圧発生回路 6 と同様のものであるが、正極性用又は負極性用のいずれか 1 方の抵抗ストリングが設けられている。そして、この階調電圧発生回路 3 5 から 1 2 8 値の階調電圧が発生される。

【 0 0 6 4 】

更に、データラッチ回路 3 6 から転送されたデジタル映像データに関連付けて階調電圧発生回路 3 5 から出力された 1 2 8 階調の階調電圧の中から 1 の階調電圧を選択して出力する第 1 階調電圧選択回路 3 1 及び第 2 階調電圧選択回路 3 2 が設けられている。第 1 階調電圧選択回路 3 1 及び第 2 階調電圧選択回路 3 2 には、Pチャネル型トランジスタ及びNチャネル型トランジスタから構成されるトランスファゲート型のアナログスイッチが配置されている。

【 0 0 6 5 】

そして、第 1 階調電圧選択回路 3 1 から出力された電圧のインピーダンス変換を行う第 1 出力回路 3 3 及び第 2 階調電圧選択回路 3 2 から出力された信号のインピーダンス変換を行う第 2 出力回路 3 4 が設けられている。第 1 出力回路 3 3 及び第 2 出力回路 3 4 の構成は、第 1 の実施例における出力回路と同様の構成を有するが、その内部の L S B 制御回路には、デジタル映像データの最下位ビット L S B 及びラッチ信号 S T B のみが入力される。

【 0 0 6 6 】

このように構成された第 3 の実施例においては、階調電圧選択回路 3 1 及び 3

2により正極及び負極の区別なく両極性とも選択可能であるので、T F T液晶パネルがライン反転駆動される。

【0 0 6 7】

なお、第1乃至第3の実施例においては、全ての出力電圧に関して抵抗ストリング法に出力電圧にオフセットを生じさせる方法が採用されているが、図8（a）に示すように、図7の領域Ⅰ及びⅠⅠⅠにおいてオフセットによる十分な効果が得られにくい。

【0 0 6 8】

そこで、領域Ⅰ及びⅠⅠⅠにおいては、8ビットの抵抗ストリング法のみを採用し、領域ⅠⅠにおいて抵抗ストリング法に出力電圧にオフセットを生じさせる方法を採用することが好ましい。具体的には、0階調から31階調までの階調（領域Ⅰ）及び224階調から255階調までの階調（領域ⅠⅠⅠ）において8ビットの抵抗ストリング法のみを採用する。また、32階調から223階調までの階調（領域ⅠⅠ）において7ビットの抵抗ストリング法に最下位ビットに関連付けてオフセットを生じさせる方法を採用する。

【0 0 6 9】

このように出力電圧を調節するには、例えば、図1において階調電圧発生回路からの出力信号を160（128+32）値とし、データラッチ回路から出力される最下位ビットが階調電圧選択回路にも入力されるようにし、データラッチ回路内にデジタル映像データに関連付けて8ビットの最下位ビットをハイ又はロウに固定する手段を設ければよい。

【0 0 7 0】

また、電圧の調整を行う方法は、前述のオペレーショナルアンプから出力された電圧にオフセットを生じさせる方法に限定されるものではない。例えば、階調電圧選択回路とオペレーショナルアンプとの間にスイッチキャパシタを設けるC-DAC法を採用することも可能である。この場合にも、デジタル映像データに応じて抵抗ストリング法のみを採用するような構成とすることができる。

【0 0 7 1】

【発明の効果】

以上詳述したように、本発明によれば、階調電圧選択回路に供給される上位ビットのビット数がデジタル映像データのビット数より少ないので、デジタル映像データの全ビットが供給される場合と比して、その素子数を低減することができる。また、電圧調節手段には下位ビットが供給されるため、そのための素子が必要となるが、その数は階調電圧選択回路において低減されるものと比して極めて小さいものである。従って、全体としてチップ面積を縮小することができ、また、機能テストの回数の低減によりテストコストを低減することができる。

【0072】

更に、前記デジタル映像データが予め設定されたものと一致する場合には、抵抗ストリング法のみを採用するような構成とすることにより、より一層適切な階調を表示させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に係る駆動回路を示すブロック図である。

【図2】

階調電圧発生回路6を示す回路図である。

【図3】

(a) は第1階調電圧選択回路7を示す回路図であり、図3(b) は第2階調電圧選択回路8を示す回路図である。

【図4】

階調電圧選択回路におけるスイッチの構成を示す回路図である。

【図5】

出力回路9及び10を示すブロック図である。

【図6】

第1の実施例における第1出力回路9の動作を示すフローチャートである。

【図7】

出力電圧と透過率との関係を示すグラフ図である。

【図8】

(a) は液晶表示装置に白色又は黒色が表示されるときに階調数と出力電圧と

の関係を示すグラフ図であり、(b)は液晶表示装置に中間色(灰色)が表示されるとき、の階調数と出力電圧との関係を示すグラフ図である。

【図 9】

本発明の第 2 の実施例に係る駆動回路を示すブロック図である。

【図 1 0】

本発明の第 3 の実施例に係る駆動回路を示すブロック図である。

【図 1 1】

従来の表示装置の駆動回路を示すブロック図である。

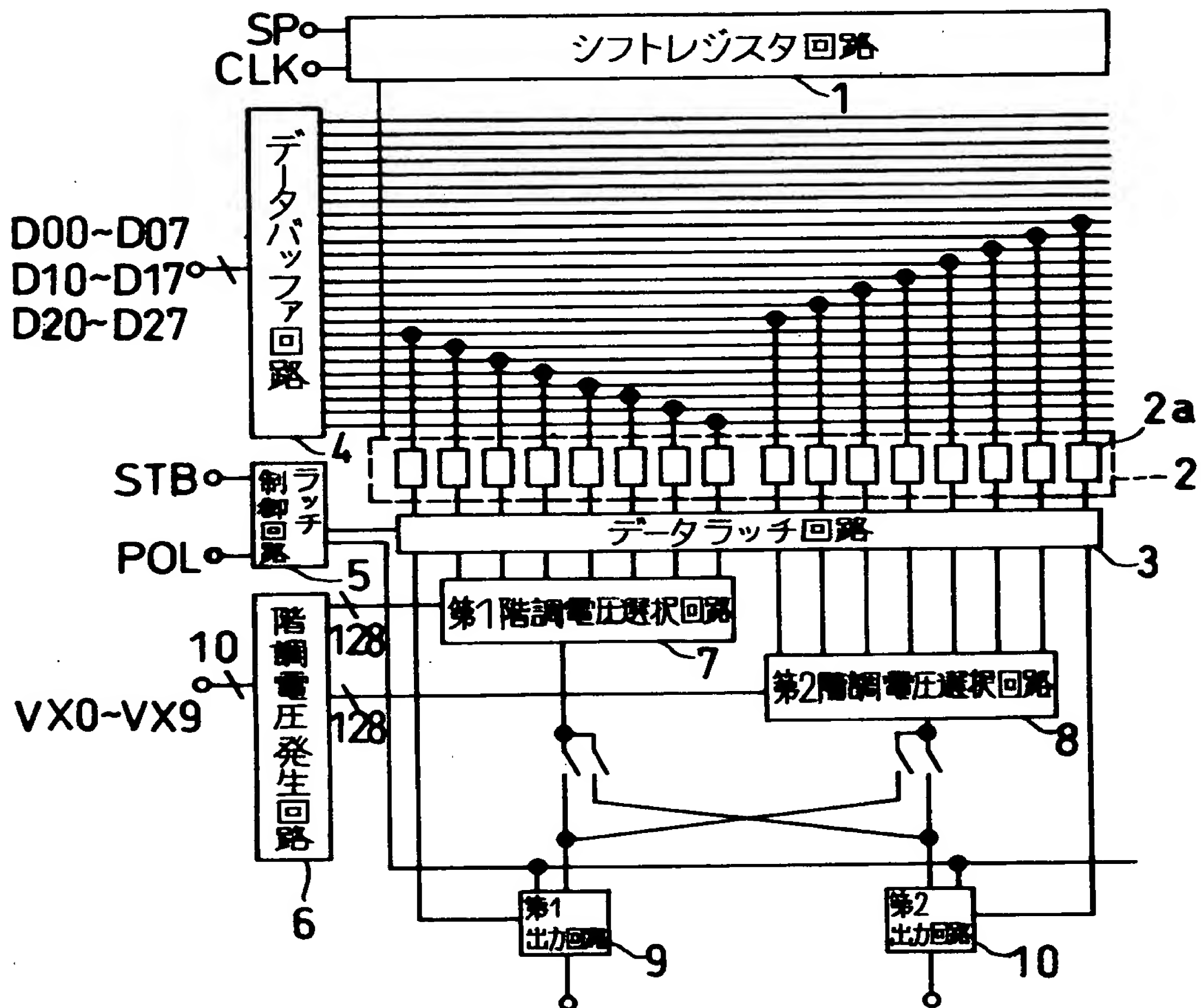
【符号の説明】

- 1、5 1 ; シフトレジスタ回路
- 2、5 2 ; データレジスタ回路
- 3、3 6、5 3 ; データラッチ回路
- 4 ; データバッファ回路
- 5、3 7 ; ラッチ制御回路
- 6、5 6 ; 階調電圧発生回路
- 7、8、3 1、3 2、5 4 ; 階調電圧選択回路
- 9、1 0、3 3、3 4 ; 出力回路
- 1 1、2 1、2 2 ; オペレーショナルアンプ
- 1 2 ; 抵抗
- 1 3 ; L S B 制御回路
- 1 4、2 3、2 4 ; 出力オフセット制御回路
- 5 5 ; 増幅器

【書類名】

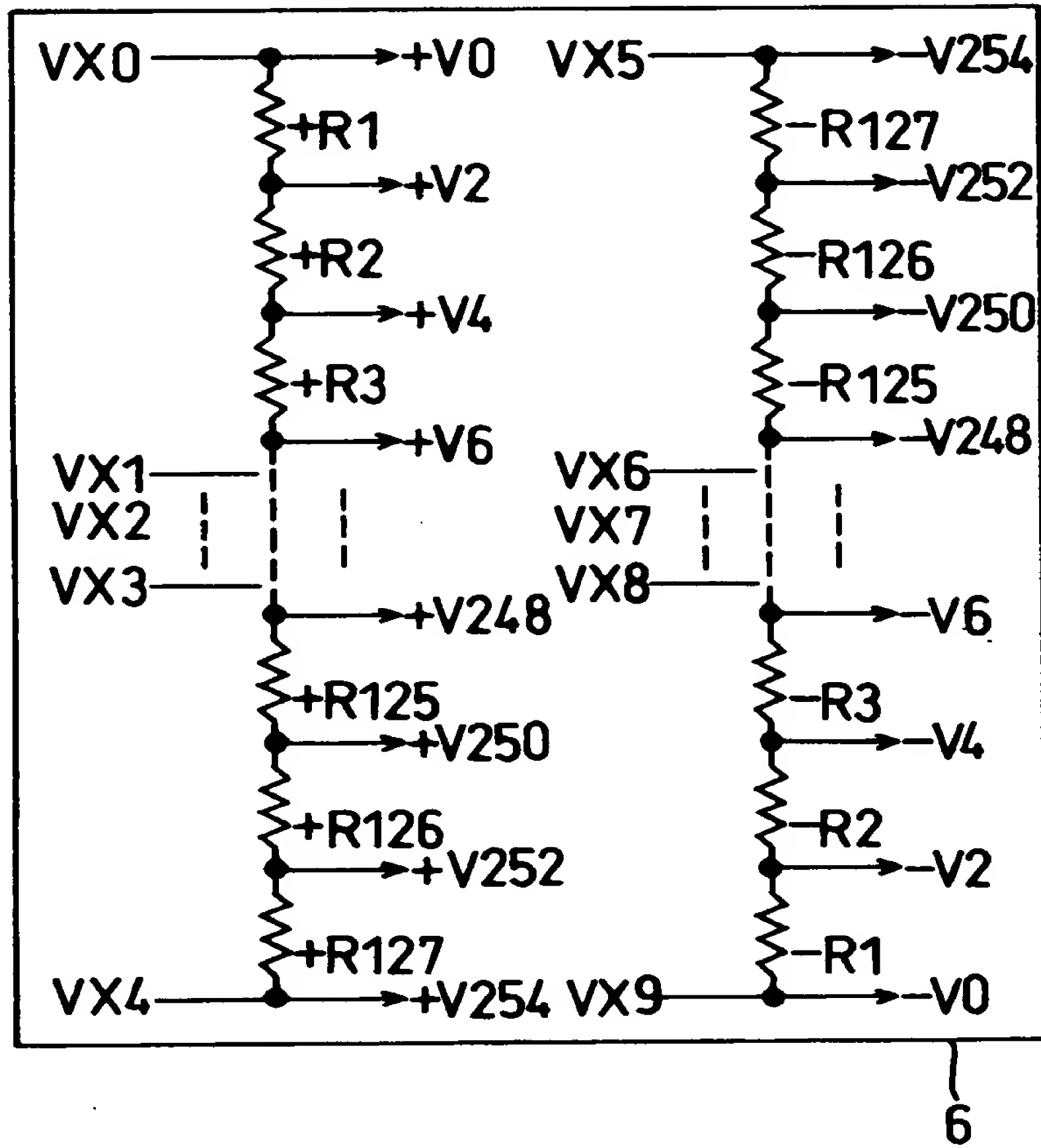
図面

【図 1】



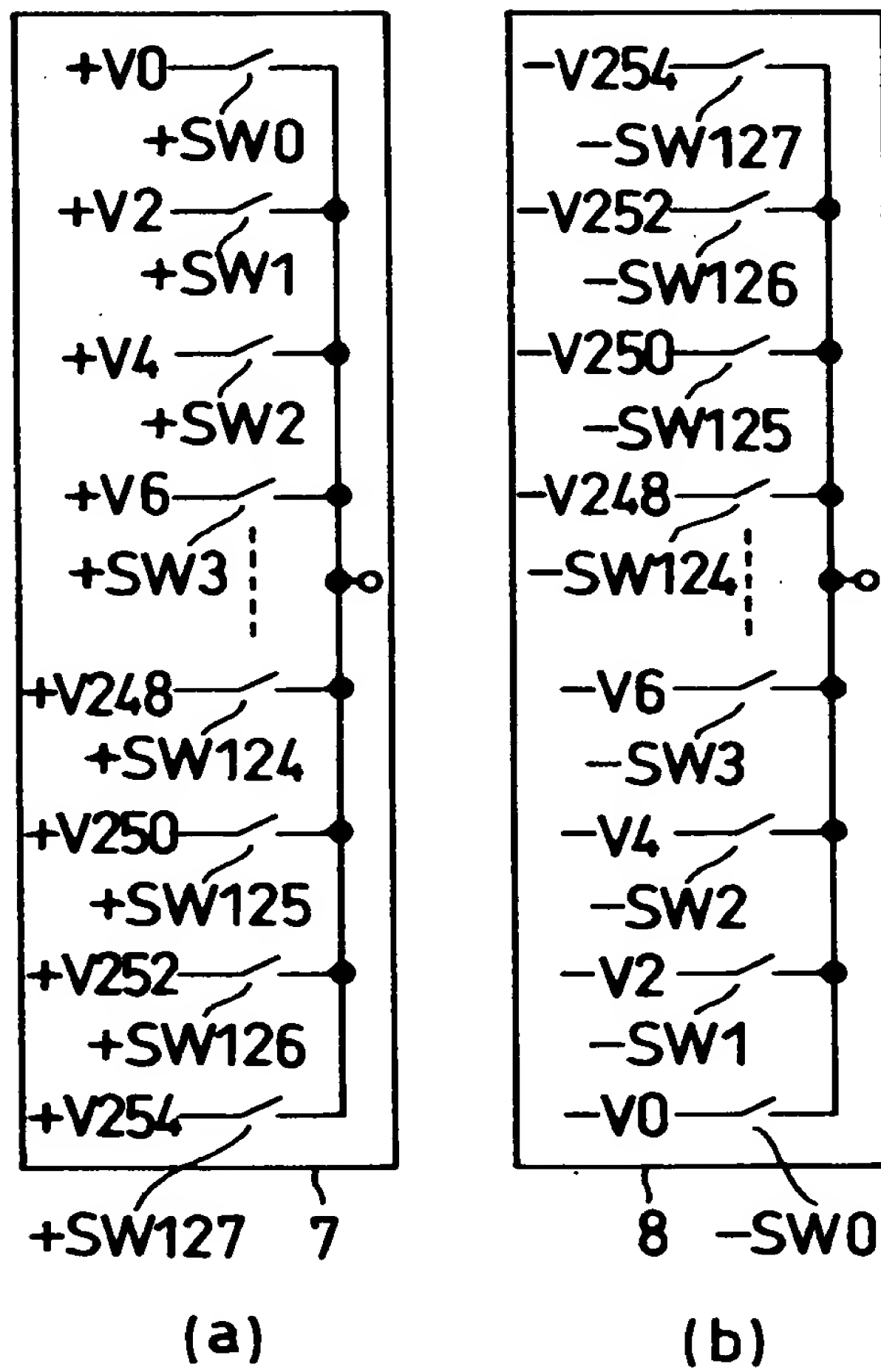
2：データレジスタ回路

【图 2】



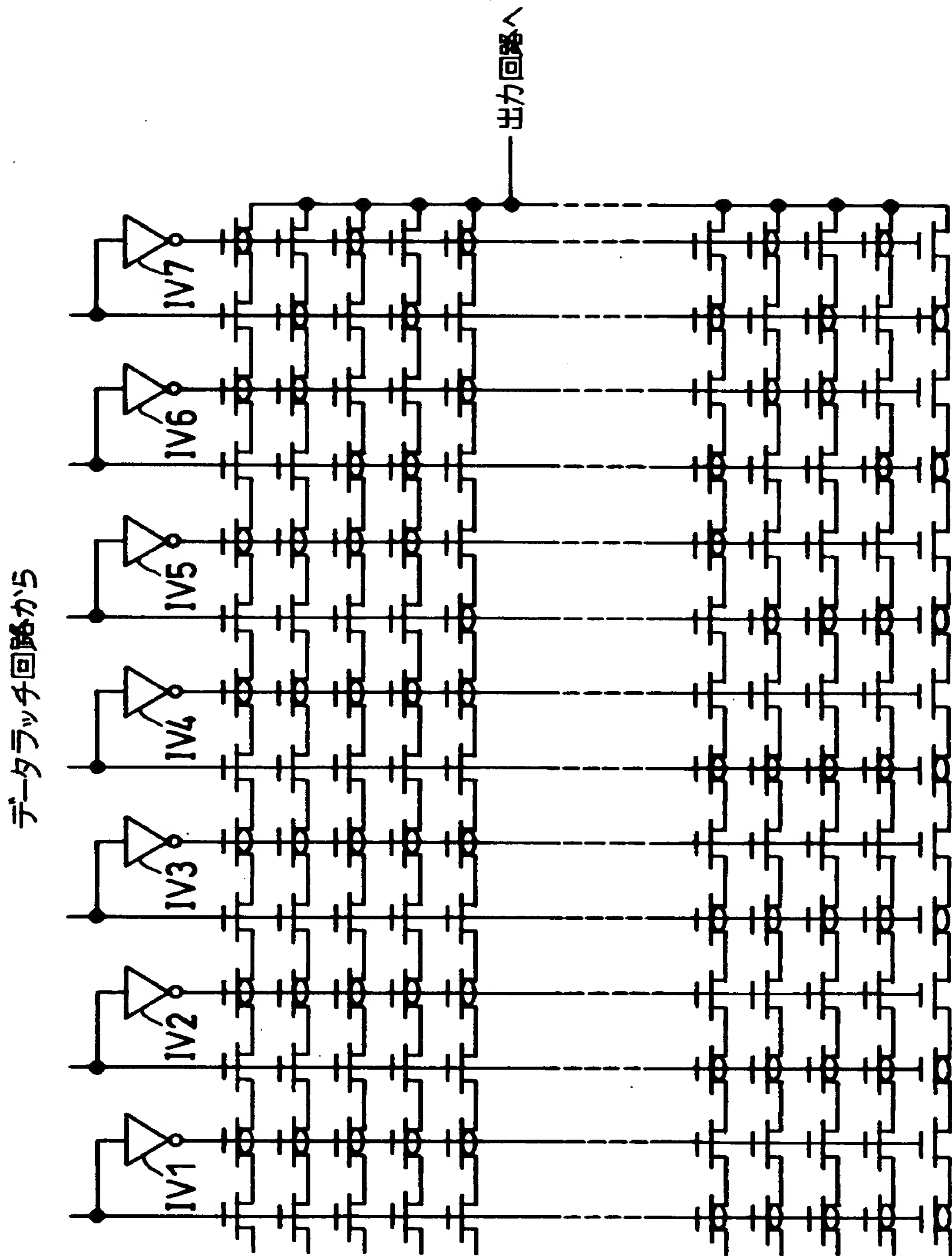
6：階調電圧発生回路

【図 3】

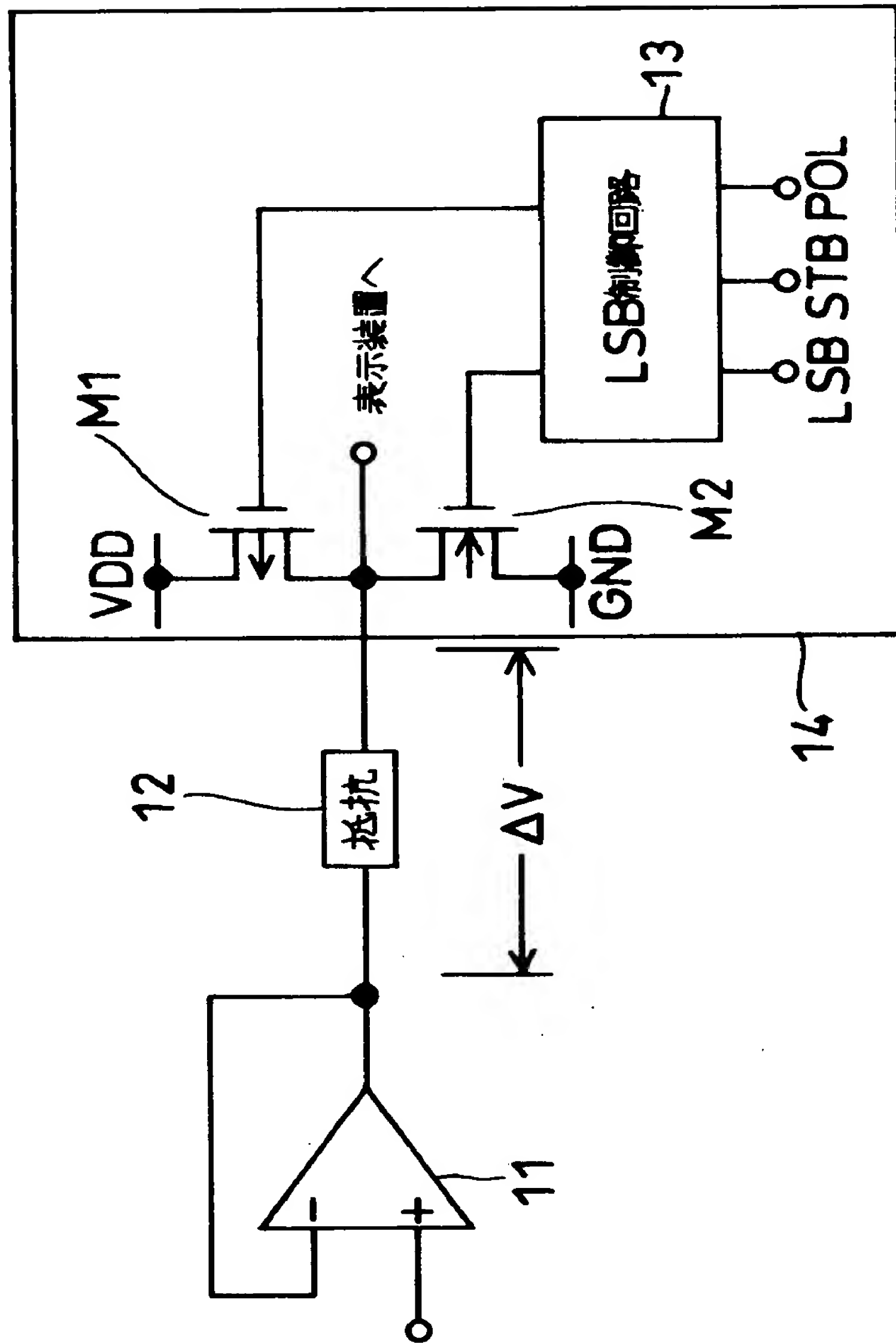


7、8：階調電圧選択回路

【図 4】

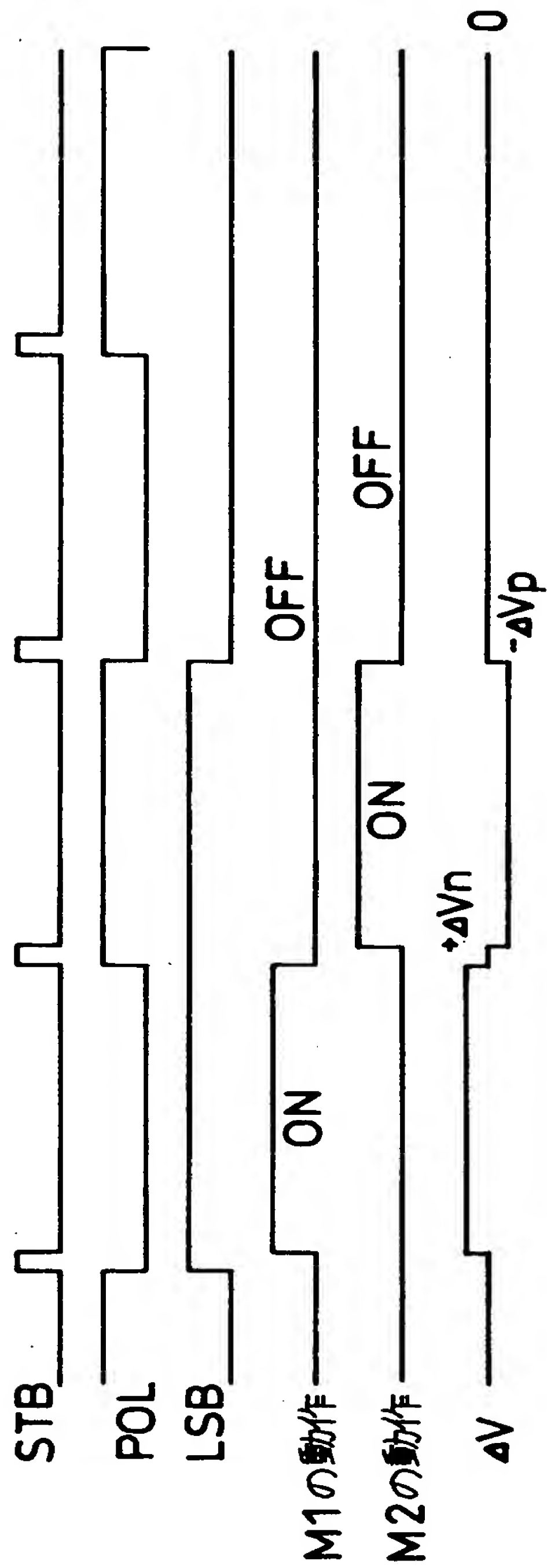


【図 5】

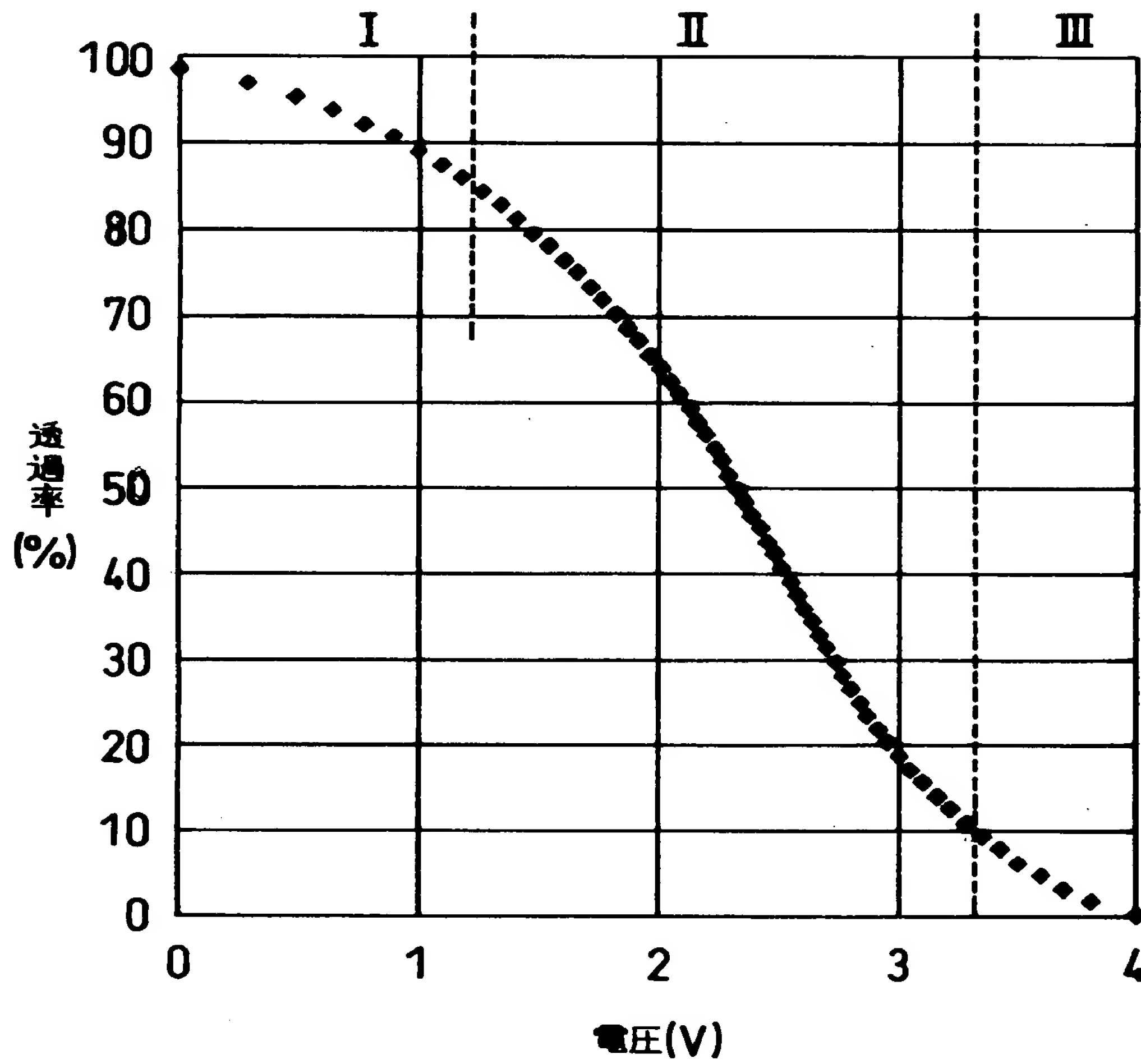


14：出力オフセット制御回路

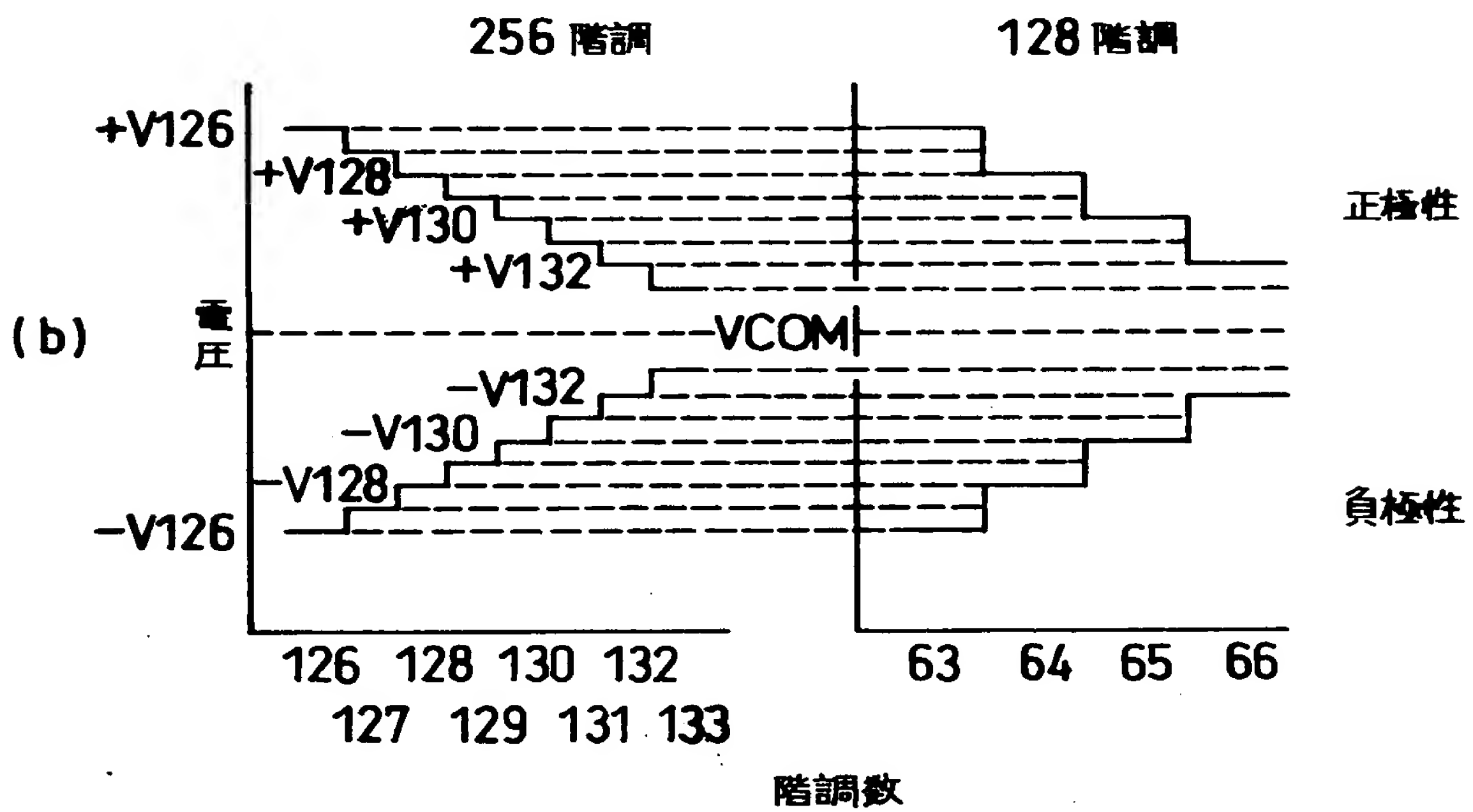
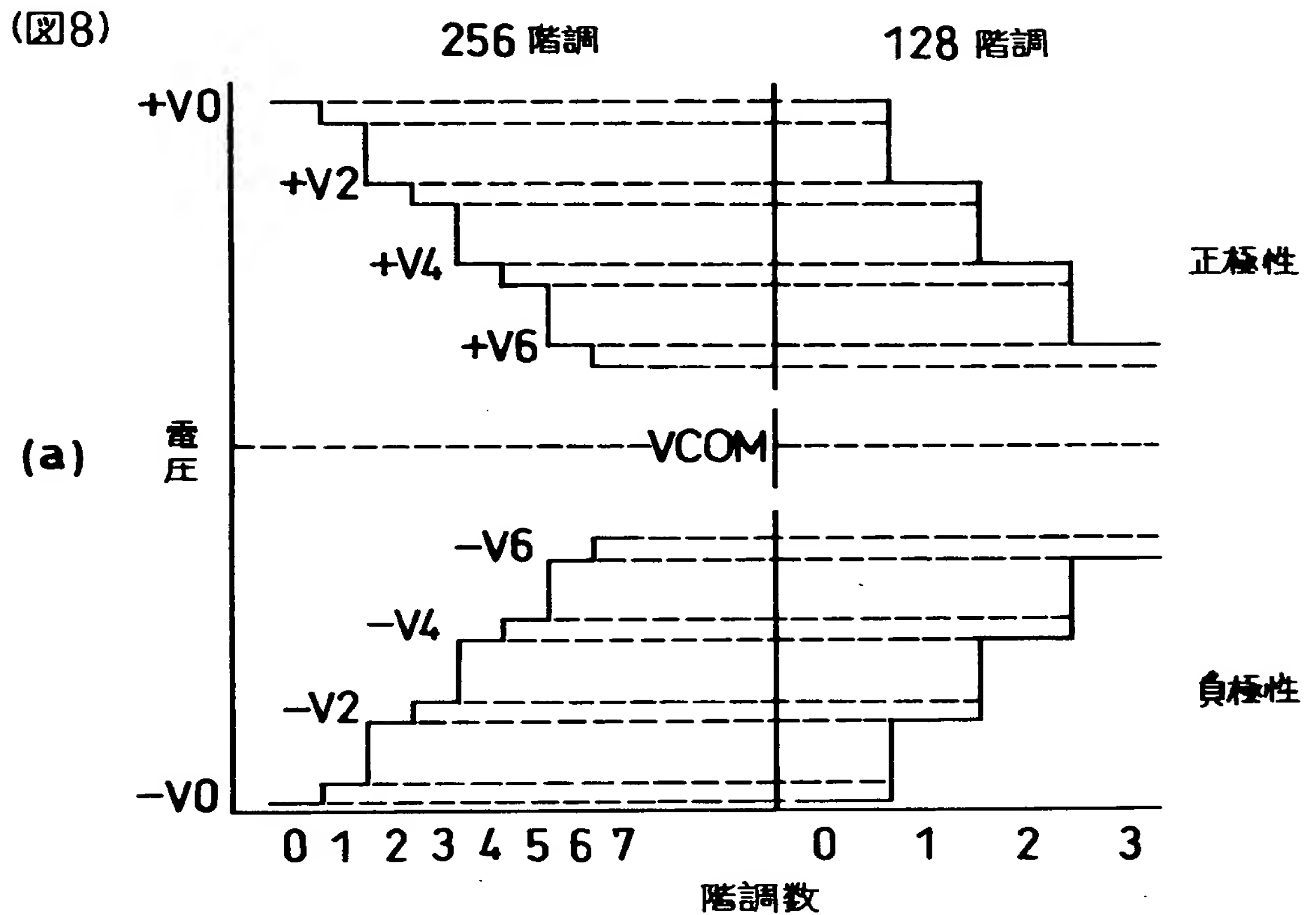
【図 6】



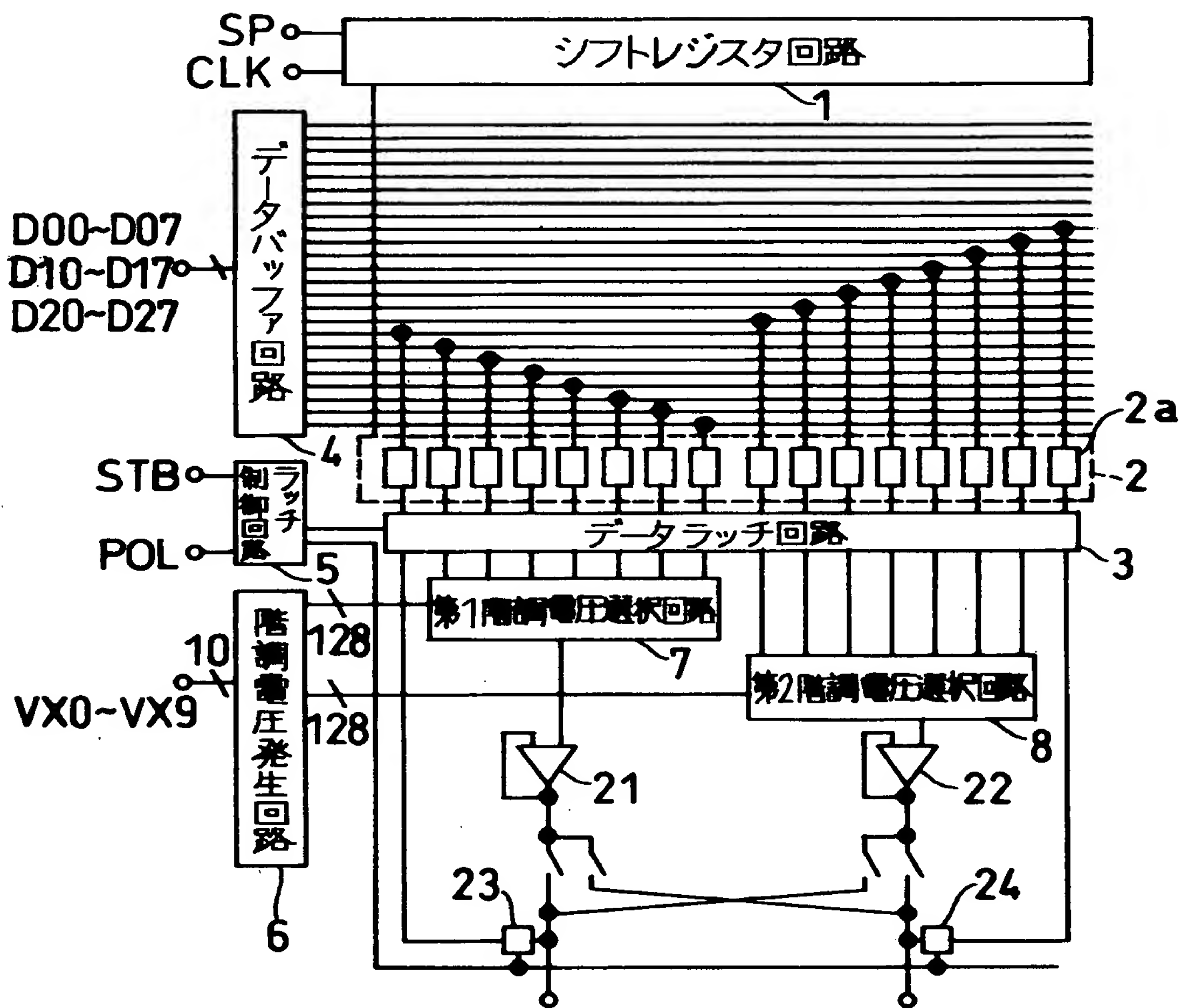
【図 7】



【図 8】

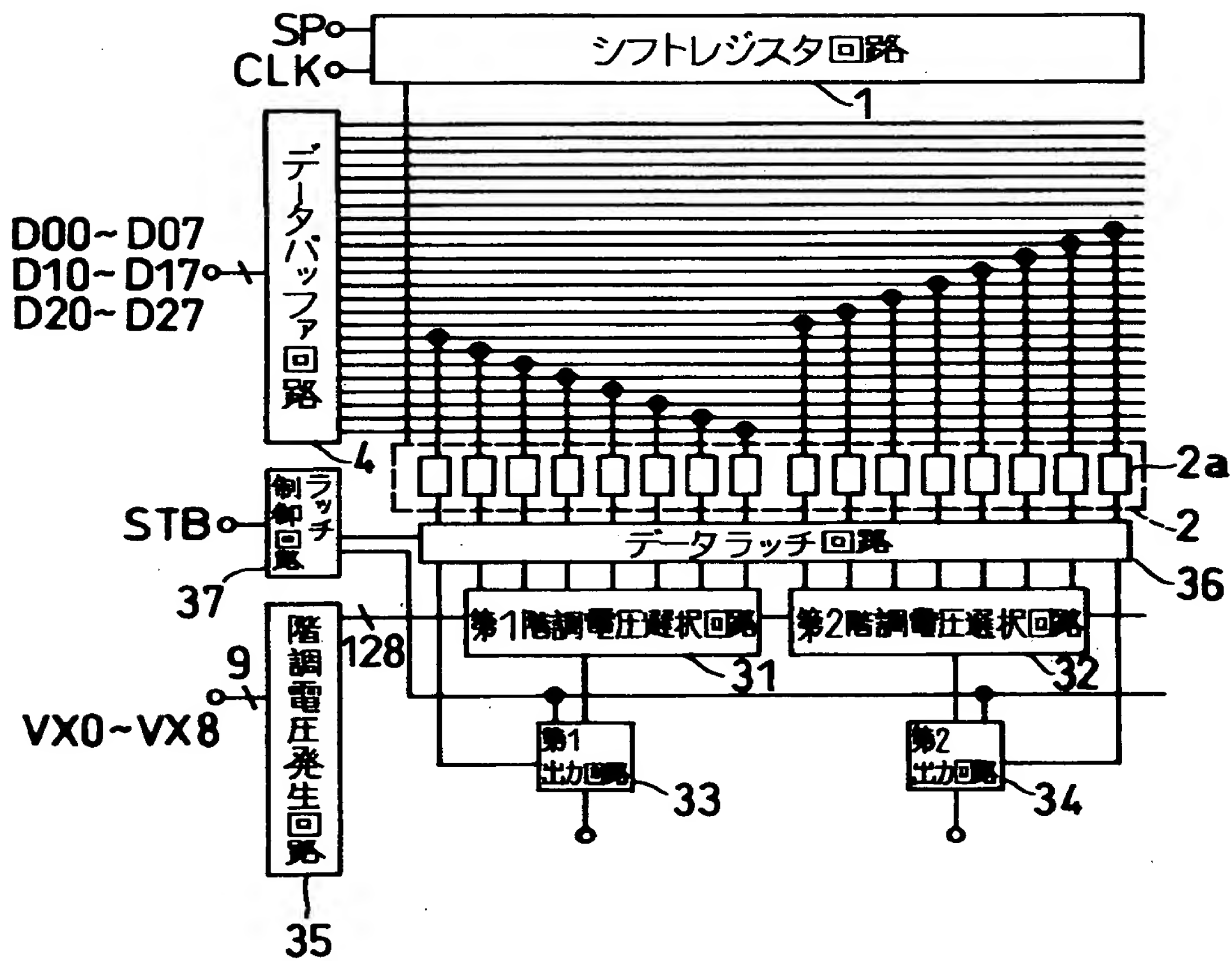


【図 9】

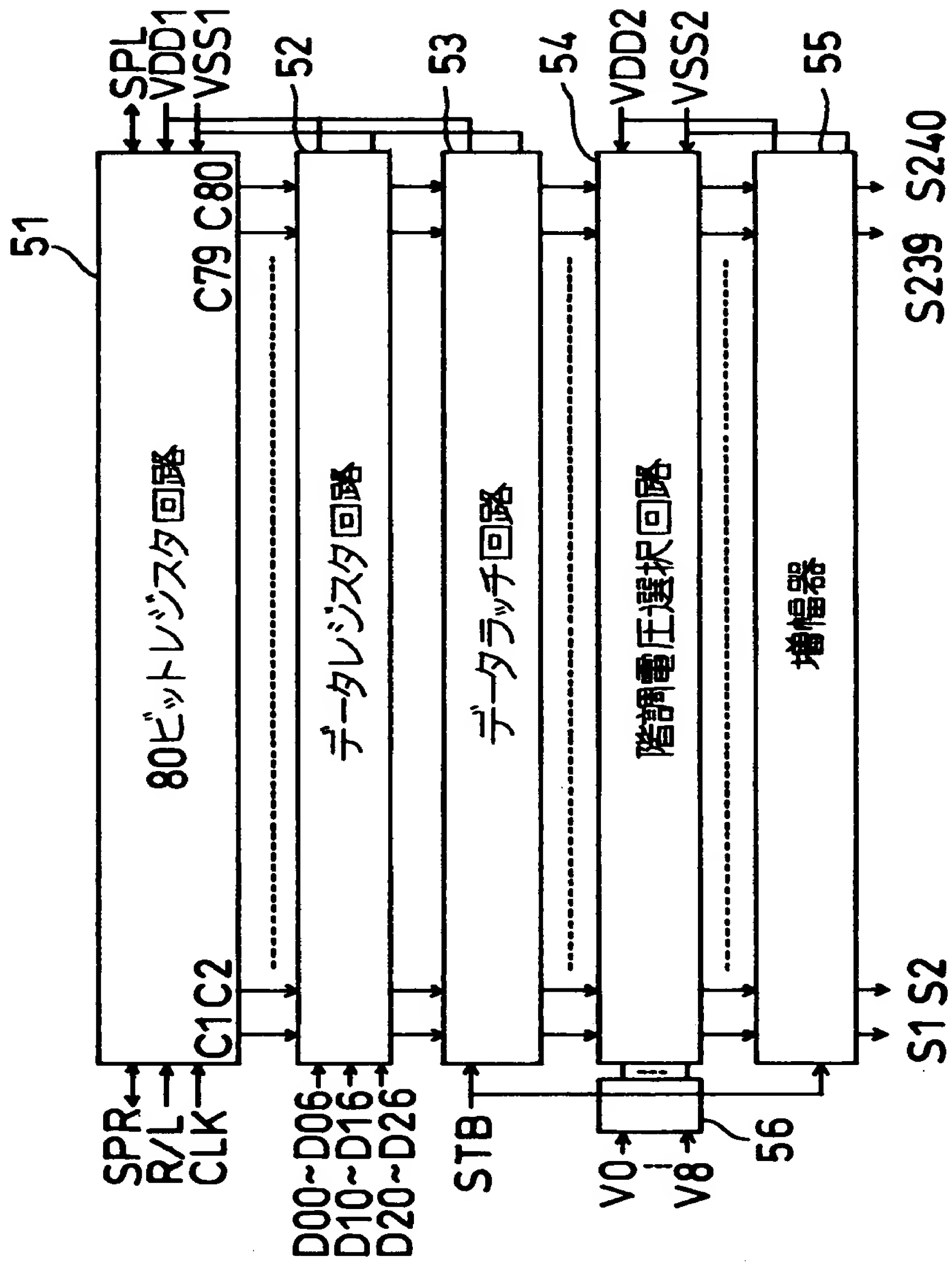


23、24 ; 出力オフセット制御回路

【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 T F T液晶等の表示装置を多階調表示するためにデジタル映像データのビット数が増加しても素子数の低減によりチップサイズを縮小することができ、テストコストを低減することができる表示装置の駆動回路を提供する。

【解決手段】 表示装置の駆動回路には、複数の電圧を発生する階調電圧発生回路 6 と、前記デジタル映像データの最上位から 1 又は 2 以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて階調電圧発生回路 6 から供給された複数の電圧から 1 の電圧を選択して出力する階調電圧選択回路 7 及び 8 と、この階調電圧選択回路 7 及び 8 から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、が設けられている。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 1 1 年 特許願 第 0 3 7 8 2 8 号
受付番号	5 9 9 0 0 1 3 4 0 4 1
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 1 年 2 月 1 9 日

<認定情報・付加情報>

【提出日】	平成11年 2月16日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日
[変更理由] 新規登録
住 所 東京都港区芝五丁目 7 番 1 号
氏 名 日本電気株式会社